

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許出願公告番号

特公平7-105915

(24) (44) 公告日 平成7年(1995)11月13日

(51) Int. Cl. ⁶	識別記号	序内記号	P I	技術表示箇所
H 0 4 N 5/335		E		
H 0 1 L 27/146			H 0 1 L 27/ 14	C

発明の図1(全 6 図)

(21) 出願番号 特願昭62-172725

(22) 出願日 昭和62年(1987)7月10日

(65) 公開番号 特開昭63-31279

(43) 公開日 昭和63年(1988)2月9日

(31) 優先権主張番号 8 8 6 6 9 2

(32) 優先日 1986年7月18日

(33) 優先権主張国 米国 (US)

(71) 出願人 988888888

ゼロックス コーポレーション

アメリカ合衆国 ニューヨーク州 14644

ロチェスター ゼロックス スクエア

(住所なし)

(72) 発明者 ジャグディッシュ チャンド タンドン

アメリカ合衆国 ニューヨーク州 14450

フェアポート ルックアウト ヴィュー

ロード 31

(72) 発明者 ビエールアンドレ ラバレー

アメリカ合衆国 ニューヨーク州 14526

ベンフィールド バーニング ツリー

レーン 20

(74) 代理人 弁士 中村 悠 (外4名)

審査官 國谷 隆一

(54) 【発明の名称】 画像センサアレイ

1

【特許請求の範囲】

【請求項1】 ホトダイオードの少なくとも1つのアレイと、各上記ホトダイオードの画像信号電荷を増幅して出力線へ伝送するために上記各ダイオードに付属している手段とを有する画像センサアレイにおいて、

(a) 上記ホトダイオードの画像信号電荷の画像信号電圧への電荷から電圧への変換のためのソースホロワ手段と、

(b) 上記ホトダイオードからの画像信号電荷を上記ソースホロワ手段の入力端子へ伝送するための二段伝送手段とを備え、上記二段伝送手段による上記信号電荷の伝送は増速を最小限にしながら上記信号電荷を増幅し、更に、

(c) バイアス電荷を上記ホトダイオードに注入するための手段と、

2

(d) 上記ソースホロワ手段の出力を上記出力線に接続し、上記ホトダイオードからの画像信号電荷が、上記ソースホロワ手段による電荷から電圧への変換の後に、上記出力線へ伝送されるようにする切替手段と、

(e) 上記画像信号電圧の上記出力線への出力の後に上記ソースホロワ手段をリセットするためのリセット手段とを備えて成ることを特徴とする画像センサアレイ。

【発明の詳細な説明】

(産業上の利用分野)

10 本発明は画像センサアレイに関し、更に詳細には、アレイのセンサと出力端子との間に二段伝送装置を有する画像センサアレイ及びかかる画像センサアレイを備えた組合せ装置に関する。

(従来の技術)

高解像度の画像形成を達成するためには、比較的多数の

ホトサイトを有する画像センサアレイが必要となる。しかし、多数のホトサイトを有するアレイを提供しようとする試みは一般に成功しておらず、歩留りは低い。他の構成として、いくつかの画像センサアレイを用い、これらの端部突合せに配置して長い複合アレイを形成することが考えられる。この技術が成功的に行なわれるならば、全巾または接線走査アレイを、走査されるべき最大の画像と等しい大きさに形成することができる。

(発明が解決しようとする問題点)

センサアレイを一箱に結合することの利点を考えると、アレイ全体にわたってピッチを保持することが極めて有利であり、その故に、個々のアレイの突合せ端部における相隣るホトサイト間の間隔がアレイの本体におけるホトサイト相互間の間隔と同じであるということが重要である。画像センサアレイ、特に、他の同様のアレイとの端部突合せに必要な特性を有する画像センサアレイの製作においては、MOSまたはCMOS技術を用いることが、かかる技術を用いて得ることのできる極めて高い歩留りを利用するうえにおいて、望ましいことである。しかし、MOSまたはCMOS技術を用いる場合、単段電荷転送を行なうと、アレイのホトサイトの高キャパシタンスと出力の電荷から電圧への変換器の低入力キャパシタンスとの間の転送効率が極めて低くなる。

本発明は高い転送効率を有する改良された画像センサアレイを提供することを目的とするものである。

(問題点を解決するための手段)

本発明の画像センサアレイは、センサのホトサイトの画像信号電荷の電荷から電圧への変換を行なうためにセンサの各ホトサイトにあるソースホロウと、上記センサのホトサイトから上記ソースホロウへ画像信号電荷を効率的に転送するため、及び帰還を最小限化するための二段転送手段と、上記ソースホロウへ伝送して転送効率を増大させるために上記センサのホトサイト内にバイアス電荷を注入するための各ソースホロウにある手段と、上記ソースホロウから出力端子へ画像信号電圧を出力するための切替え手段とを備えている。以下、本発明をその実施例について図面を参照して詳細に説明する。

(実施例)

第1図について説明すると、図は本発明の二段転送装置を有する画像センサアレイ10を示すものである。画像センサアレイ10は、上にホトダイオード14の形式の複数のホトサイトを具備するシリコンの基盤またはチップ12を有す。ホトダイオード14は、チップ12上に、縦形アレイまたは列16となって互いに密に間隔をおいて並置されている。アレイ10のようないくつかの小さいアレイを互いに端部突合せに配置して長いアレイ、即ち全巾または接線アレイを形成し、その突合わせ端部におけるホトダイオード相互間の間隔をチップ内のホトダイオード相互間の間隔と同じにし、これにより、この複合アレイの全巾にわたってホトダイオードのピッチを保持するように

してもよい。

本明細書においてはホトダイオード14を図示し且つこれについて説明するが、アモルファスシリコンまたは透明電極MOS形ホトサイトのような他の形式の受光素子を用いることもできる。また、本明細書においてはホトダイオード14の単一列16を有する一次元センサアレイを図示し且つこれについて説明するが、ホトダイオードの複数列を有する二次元センサアレイを用いることもできる。各ホトダイオード14はこれに付属する二段転送回路20を有し、該回路は上記ホトダイオードとともに画素セル15を形成する。回路20において、上記ホトダイオードからの画像電荷信号が、ソースホロウ33の入力端子へ転送され(第2図、第3図)、該ソースホロウはこの信号を電圧として出力線22へ送る。また、上記画像信号電荷は、ホトダイオード14からソースホロウ33への該画像信号電荷の転送中に得られる利得により、増巾される。上記の信号利得は、ホトダイオード14とソースホロウ33の入力端子との間のキャパシタンスの差によって生ずる。これにより、上記画像電荷信号は、出力線22への転送の前に、所望の電位値となる。適当なシフトレジスタ及び検出回路24が、各画素セル15を適切な時間的順序で出力線22に接続するためのタイミング制御信号を提供する。画像センサアレイ10を用いて、例えば、原画音類をラスタ走査することができ、その場合には、原画音類及びセンサアレイ10を、アレイ10の縦形に対して選別垂直である方向に、互いに移動またはステップ動作させる。これと同時に、走査中の画像線を照明し、そして屈折率変換形ファイバレンズアレイのような適当な光学手段を設けてホトダイオード14を上記画像線上に台座させる。統合期間中、電荷が各ホトダイオード上に発生する。この電荷は、各ホトダイオードによって見られる画像区域の反射率に比例する。上記画像信号電荷は、その後、回路20により、後述するように所定の順次的順序で出力線22へ転送される。

第2図及び第3図について説明すると、各転送回路20は、画像信号電荷を電圧信号に変換するためのトランジスタ30、32から成るソースホロウまたは共通ドレイン増巾器33を有す。ホトダイオード14の一つの電極をソースホロウ33のトランジスタ30のゲートと接続する回路25と直列のトランジスタ26、28から成る二段転送装置を用いて画像信号電荷をホトダイオード14からソースホロウ33へ転送し、トランジスタの動的ドレインコンダクタンス効果に基づく帰還を最小限にする。ホトダイオード14の他の電極及びトランジスタ32のソースは接地線29を介して接地されている。

トランジスタ30のドレインは回路40によってプリセット電位 V_{dd} に接続されている。ソースホロウ33のトランジスタ30のソース及びトランジスタ32のドレインは、上記画素セルを出力線22に接続するマルチプレクシングトランジスタ34に回路44によって接続されている。電荷注入

トランジスタ36が設けられ、プリセットバイアス電荷、例えば電氣的ファットゼロ V_{f0} をホトダイオード14に注入するようになっている。リセットトランジスタ38が、所定のリセット信号源 V_r からソースホロワ33のトランジスタ30のゲートへのリセット信号の付与を制御する。適当な画素クロック（図示せず）が、ホトダイオード14からソースホロワ33への画像信号電荷の搬送を制御するクロック信号 $\phi-1$ 、 $\phi-2$ 及び $\phi-3$ を提供する。追加のクロック信号 $\phi-4$ 及び $\phi-5$ 並びにシフトレジスタクロック信号 $\phi-6$ がシフトレジスタ及び論理回路24にされる。シフトレジスタ及び論理回路24は、1つまたはそれ以上のシフトレジスタを有しており、クロック信号 $\phi-7$ 及び $\phi-8$ を出力して転送回路24を作動させ、ソースホロワ33から出力線22への画像信号電圧を順次に増巾して転送する。クロック信号 $\phi-1$ ないし $\phi-6$ は、走査アレイ即ちセンサアレイ10の動作を、アレイ10が付属している走査装置の他の構成部品と、及び、アレイ10が他の同様のアレイと突き合わさって長い走査アレイを形成している場合には追加のアレイと、同期させて結合する。

作動について第2図及び第4図を参照して説明すると、統合期間の後、全数のホトダイオード14に対する積電荷転送サイクルが開始し、該サイクルにおいて、クロック信号 $\phi-1$ 、 $\phi-2$ が、全ての画素セル15に対して回路20の二段転送トランジスタ26、28を同時に作動させる。トランジスタ26、28は、統合期間中に個々のホトダイオード14に発生した画像信号電荷をソースホロワ33のトランジスタ30のゲートへ転送する。その後、クロック信号 $\phi-3$ 及び V_{f0} がトランジスタ36を作動させてバイアス電荷電圧 V_{f0} をホトダイオード14に与える。

上記積電荷転送サイクルの後、ビデオ出力サイクルが開始させられ、このビデオ出力サイクルにおいて、シフトレジスタ及び論理回路24によって出力されたクロック信号 $\phi-7$ 及び $\phi-8$ が各画素セル15の転送回路の列に沿って次々に移動させられてソースホロワ33を作動させ、そして上記ソースホロワの出力を出力線22に順次接続する。各画素セルにおいて、ソースホロワ33のトランジスタ

タ32のゲート及び出力トランジスタ即ちリセットトランジスタ38のゲートへされたクロック信号 $\phi-7$ がトランジスタ32、38を作動させて画像信号電圧 V_0 を出力線22へ出力させる。所定の間隔の後、クロック信号 $\phi-8$ がリセットトランジスタ38を始動させてリセット信号 V_r をトランジスタ30のゲートに与え、ソースホロワ33をリセットし、その画素セルに対する信号電圧の出力を終了させる。

ホトダイオード14の列16内の最後のホトダイオードに対応する出力が転送されるまで、各画素セル15に対して上述の過程がホトダイオード14の列に沿って繰返される。第5図に示す実施例においては、同様参照番号は同様部材を示しており、クロック信号 $\phi-8$ を用いて全ての転送回路20のリセットトランジスタ38を同時に始動させる。リセットトランジスタ38の同時始動により、リセット電圧 V_r がトランジスタ30のゲートに印加され、転送回路20のソースホロワ33が一斉にリセットされる。

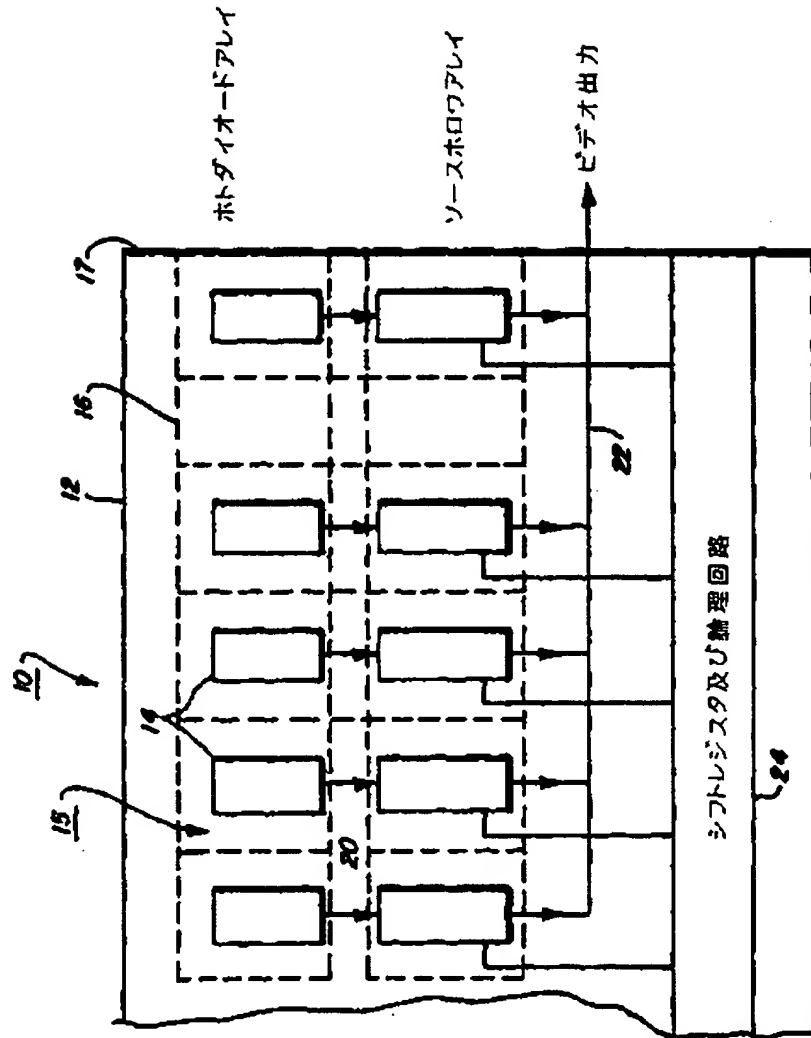
以上、本発明をその実施例について説明したが、本発明はこれに限定されるものではなく、特許請求の範囲に記載の如き本発明の範囲内で種々の変形及び変更が可能である。

【図面の簡単な説明】

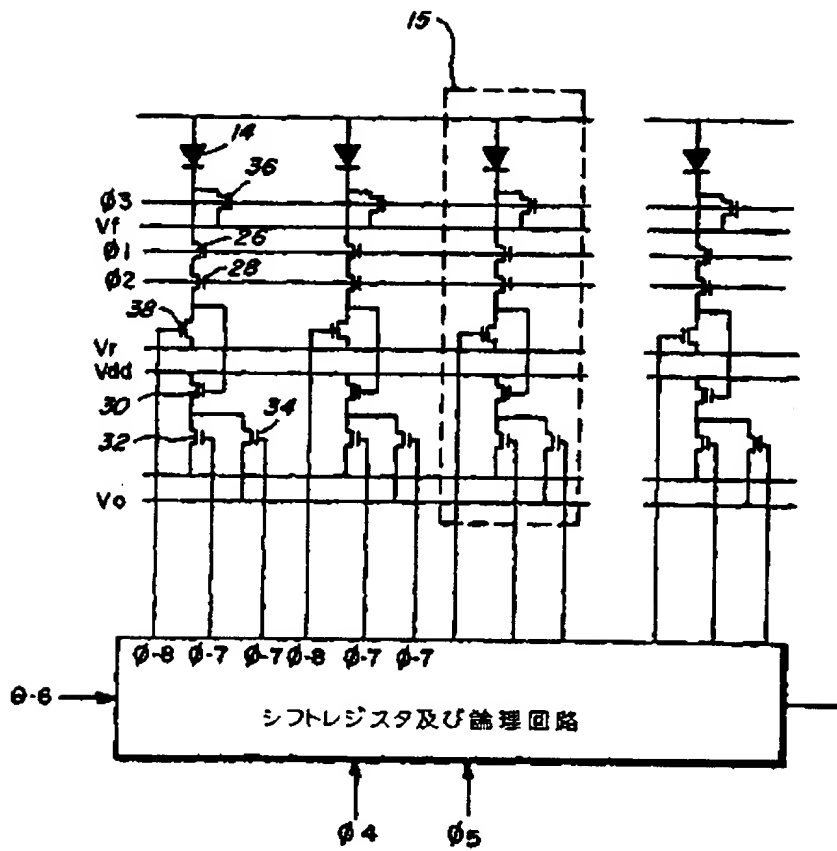
第1図は本発明の二段転送装置を用いたホトダイオードの形式の受光素子アレイを有する画像走査アレイを示す略図。第2図はホトダイオードから出力線への画像信号の二段転送を行なうためのアレイ内の各ホトダイオードに付属する転送回路を詳細に示す回路図、第3図は転送回路の詳細回路図、第4図は第1図に示す二段転送装置を有する画像走査アレイに対する作動クロック信号波形を示すタイミング図、第5図はアレイホトダイオードの転送回路を一斉にリセットするための作動クロック信号波形の変形例を示すタイミング図である。

14……ホトダイオード、20……二段転送回路、22……出力線、24……シフトレジスタ及び論理回路、30、32……トランジスタ、33……ソースホロワ、36……電荷注入トランジスタ、38……リセットトランジスタ。

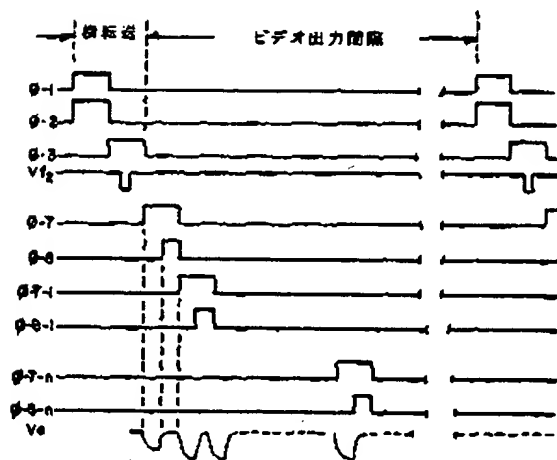
【第1図】



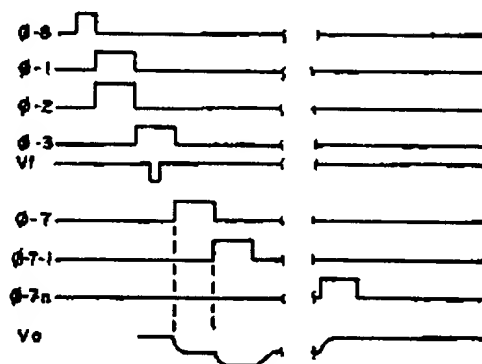
【第2図】



【第4図】



【第5図】



[illegible]